

面向亿级 CMOS 图像传感器的高速全并行两步式 ADC 设计方法

郭仲杰, 许睿明, 程新齐, 余宁梅, 苏昌勛, 李 晨

(西安理工大学自动化与信息工程学院, 陕西西安 710048)

摘 要: 针对传统单斜式模数转换器 (Analogue-to-Digital Conversion, ADC) 和串行两步式 ADC 在面向大面阵 CMOS 图像传感器读出过程中的速度瓶颈问题, 本文提出了一种用于高速 CMOS 图像传感器的全并行两步式 ADC 设计方法, 该 ADC 设计方法基于时间共享和时间压缩思想, 将细量化时间提前到粗量化时间段内, 解决了传统方法的时间冗余问题; 同时针对两步式结构在采样过程中的电荷注入和时钟馈通问题, 提出了一种基于误差同步存储技术的误差校正方法, 消除了采样电路非理想因素对 ADC 性能的影响. 本文基于 55 nm 1P4M CMOS 工艺对所提方法完成了详细电路设计和全面测试验证, 在模拟电压为 3.3 V, 数字电压为 1.2 V, 时钟频率为 250 MHz, 输入信号为 1.472 V 的设计条件下, 本文设计实现的 13 bit ADC 转换时间为 512 ns, DNL (Differential NonLinearity) 为 +0.8/-0.8LSB, INL (Integral NonLinearity) 为 +2.1/-3.5LSB. 信噪失真比 (Signal to Noise and Distortion Ratio, SNDR) 达到 70 dB, 有效位数为 11.33 bit, 列级功耗为 47 μ W. 相比现有的先进 ADC, 本文提出的方法在保证低功耗、高精度的同时, 使 ADC 转换速率提高了 74.4% 以上, 为高速高精度 CMOS 图像传感器的读出与量化提供了一定的理论支撑.

关键词: CMOS 图像传感器; 列并行 ADC; 单斜式 ADC; 两步式; 全并行

基金项目: 国家自然科学基金 (No.62171367); 陕西省重点研发计划 (No.2021GY-060); 陕西省创新能力支撑计划 (No.2022TD-39)

中图分类号: TN47

文献标识码: A

文章编号: 0372-2112(2023)08-2067-09

电子学报 URL: <http://www.ejournal.org.cn>

DOI: 10.12263/DZXB.20220022

High Speed Fully Parallel Two-Step ADC Design Method for Hundred Million Level CMOS Image Sensors

GUO Zhong-jie, XU Rui-ming, CHEN Xin-qi, YU Ning-mei, SU Chang-xu, LI Chen

(School of Automation and Information Engineering, Xi'an University of Technology, Xi'an, Shaanxi 710048, China)

Abstract: Aiming at the speed bottleneck problem of traditional single-slope analog-to-digital converter (ADC) and serial two-step ADC in the readout process of large-array CMOS image sensors, this paper proposes a fully parallel two-step ADC for high speed CMOS image sensors. The ADC design method is based on the idea of time sharing and time compression, advances the fine conversion time to the coarse conversion time period, and solves the time redundancy problem of the traditional method. At the same time, aiming at the Charge Injection and Clock Feedthrough problems in the sampling process of the two-step structure, an error correction method based on the error synchronization storage technology is proposed, which eliminates the impact of the non-ideal factors of the sampling circuit on the performance of the ADC. Based on the 55 nm 1P4M CMOS process, this paper has completed the detailed circuit design and comprehensive test verification of the proposed method. Under the design conditions of analog voltage 3.3 V, digital voltage 1.2 V, clock frequency 250 MHz and input signal 1.472 V, the proposed 13-bit ADC achieves the differential nonlinearity (DNL) of +0.8/-0.8LSB and the integral nonlinearity (INL) of +2.1/-3.5LSB and Conversion time of 512 ns. The effective number of bits (ENOB) is 11.33 bit and the power consumption is 47 μ W. Compared with the existing advanced ADCs, the method proposed in this paper can increase the ADC conversion rate by more than 74.4% while ensuring low power consumption and high precision, providing certain theoretical support for the readout and conversion of high-speed and high-precision CMOS image sensors.

Key words: CMOS image sensors; column-parallel ADC; single-slope ADC; two-step; fully parallel

Foundation Item(s): National Natural Science Foundation of China (No.62171367); Key Research and Development Plan of Shaanxi Province (No.2021GY-060); Shaanxi Provincial Innovation Capability Support Plan (No.2022TD-39)

1 引言

CMOS 图像传感器 (CMOS Image Sensor, CIS) 因具有低成本、低功耗和高集成度等优点,被广泛应用于航天、高清摄像等领域^[1-4]。随着 CIS 分辨率不断提高, CIS 芯片对速度、精度和集成度的要求也与日俱增,而列级数模转换器 (Analogue-to-Digital Conversion, ADC) 作为 CIS 读出电路的重要组成部分,其设计受到精度、转换速度、面积的三重约束,其中转换速度是限制大面阵 CIS 帧频的主要瓶颈,因此提高列级 ADC 的转换速度成为提升 CIS 大数据高速处理的主要突破点^[5-7]。为满足高速拍摄应用需求, CIS 帧率必须达到 100 帧以上,这就要求当像素面阵达到亿级规模时,在满足 12 bit 以上高精度的前提下, ADC 转换速率要求至少控制到 1 μs 以内。近年来应用于 CIS 的高速列并行 ADC 架构的研究热点主要有逐次逼近式 ADC (successive Approximation Register ADC, SAR ADC)、循环 ADC (Cyclic ADC)、单斜式 ADC (Single Slope ADC, SS ADC)、两步式 ADC (Two-Step Single-Slope ADC, TS_SS ADC) 等^[8-10]。文献[1]采用了 SAR ADC 结构。该结构在 14 bit 精度下单次转换时间为 2 μs ,但由于采用 CDAC 电容阵列,占用了较大的芯片面积,无法应用于亿级面阵规模 CIS。文献[2]采用了循环 ADC 结构。该结构在 12 bit 精度和 250 MHz 主时钟频率下,转换时间达到了 625 ns;而高速高增益运算放大器的使用,使其功率消耗达到 435 μW ,在亿级规模下,仅 ADC 占用的功耗将接近 10 W,限制了该结构在亿级面阵规模 CIS 中的应用^[11]。SS ADC 是使用最广泛的列并行 ADC 架构,具有结构简单、功耗低、线性度高等优点。此外,SS ADC 极大地减小了列固定模式噪声 (Column Fixed Pattern Noise, CFPN),但其转换速度较慢,一个 q bit SS ADC 需要 2^q 个时钟周期进行量化^[12,13]。文献[5]采用了 SS ADC 结构。该结构在 12 bit 精度和 250 MHz 主时钟频率下,单次转换时间达到了 1 μs ,但是由于引入了 TDC 技术需要增加全局 DLL,系统的复杂性增加,不易于在大面阵中实现。文献[14]采用了 TS_SS ADC 结构。该结构 ADC 将量化过程分为 M 位粗量化和 N 位细量化,仅需要 2^M+2^N 个时钟周期进行量化;该结构在 12 bit 精度下,单次转换时间达到了 6.38 μs ,但是依旧难以满足亿级面阵的需要。

针对现有研究未解决的问题,为了提升亿级面阵规模 CIS 帧率,本文在 TS_SS ADC 的基础上,在不引入额外功耗和芯片面积的前提下,以进一步提升传统两步式的转换速度为目标,提出了一种应用于高速 CIS 的全并行两步式 ADC 结构。在保证结构简单、功耗低、高

线性度的同时,一方面基于全并行理论进一步提高转换速度,另一方面通过一种校正方法消除了采样电路非理想因素 ADC 性能的不利影响。本文着重分析了该 ADC 设计方法的量化原理以及具体电路实现方法,并给出了参数测试结果。

2 CIS 架构特征分析

CMOS 图像传感器主要由光电传感和读出量化两部分组成,不论是卷帘曝光还是全局曝光,目前限制亿级 CMOS 图像传感器处理速度的瓶颈都在读出量化阶段^[15]。图 1 为 CMOS 图像传感器的整体架构,具体包括像素阵列、读出电路、控制信号和时钟信号发生器以及其他模块。其中像素阵列负责完成光电信号转换,得到的电信号交由读出电路进行放大、采样、量化;控制信号和时钟信号发生器以及其他模块为像素阵列与读出电路提供时序控制和模拟偏置,配合完成图像读出。

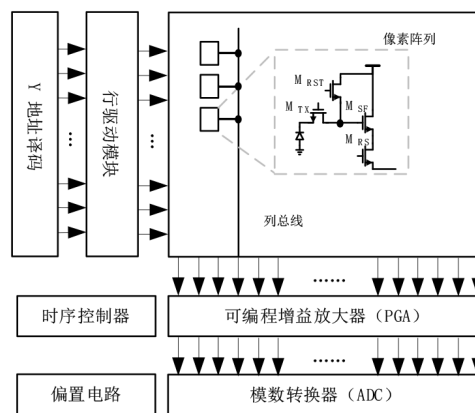


图1 CMOS 图像传感器整体架构

其中列并行 ADC 是 CIS 读出电路的重要组成部分,是影响 CIS 性能的关键模块。为了保证 CIS 的成像质量,列并行 ADC 必须具有较高的转换精度^[16]。同时随着 CIS 的分辨率不断提高,像素单元尺寸也在减小,而列并行 ADC 必须嵌入与像素尺寸匹配的列宽中,所以列并行 ADC 的面积约束极其严格^[17]。在亿级规模面阵下, CIS 读出电路需要上万个列并行 ADC,所以单列 ADC 的功耗制约着芯片整体功耗。目前 CIS 的主要读出模式是全流水逐行读出。每一行的图像信号经过列级 PGA 放大,然后通过列级 ADC 进行采样量化,并将数字化后的图像信号存储到静态随机存储器 SRAM 中,最终通过 LVDS 串行读出。在这种读出模式下,帧时间如式(1)所示:

$$\text{Frame_time} = V \times \text{row_time} \quad (1)$$

其中, Frame_time 为帧时间; V 为像素阵列行数; row_time 为读出一行的时间. 在亿级规模面阵下, 行时间如式(2)所示:

$$\text{row_time} = \text{MAX}(t_{\text{bus}}, t_{\text{ADC}}, t_{\text{others}}) \quad (2)$$

其中, t_{bus} 为列线建立时间; t_{ADC} 为 ADC 的转换时间; t_{others} 为制约行时间的其他因素. 其中 ADC 的转换时间占比更大. 由式(1)和式(2)可以看出, ADC 的转换时间是限制帧频主要因素, 这也解释了为什么在亿级规模面阵下, ADC 的转换速率至少要达到 $1 \mu\text{s}$ 以内. 综上所述, 应用于超大面阵 CIS 的列并行 ADC 需要具有结构简单、转换速度快、功耗低、高线性度等优点.

3 本文提出的粗细全并行量化方法

本文提出的全并行两步式 ADC 基本量化原理是将 Q bit 的量化分为 M bit 粗量化和 N bit 的细量化, 在理想情况下有

$$Q = M + N \quad (3)$$

图 2 展示了由斜坡信号发生器、时钟控制器、比较器和计数器组成的 CIS 系统中的全并行两步式 ADC 架构. 所有列电路共用斜坡信号发生器与时钟控制器, 而比较器和计数器需要集成到单列以量化每列不同的光电信号. 其中斜坡信号发生器需要产生阶梯斜坡信号 RAMP_C 和积分斜坡信号 RAMP_F 来驱动所有列级比较器, 在实际芯片应用中需要加入必要的提升驱动能力的措施. 如图 3 所示, RAMP_C 将整个 ADC 量化范围 $V_{\text{signal}} = V_{\text{SH}} - V_{\text{SL}}$ 平均划分为 $K = 2^M$ 段, 每一段范围为 $\Delta V = V_{\text{signal}}/K$, RAMP_F 的电压范围为 V_{signal}/K , 因此在理想情况下有

$$V_{\text{sig}_k} = V_{\text{SL}} + A \times \Delta V, \quad A = 0, 1, \dots, K \quad (4)$$

$$V_{\text{ramp}}(B) = B \times \text{LSB}, \quad K \times 2^N \leq B \leq (K+1)2^N \quad (5)$$

其中, LSB 为最小量程电压; A 为粗量化计数值; B 为实际计数值.

图 4 为全并行 ADC 的具体量化原理: 将整个量化周期分为粗量化过程和细量化过程, 粗量化计数器同时开始计数, RAMP_C 和 RAMP_F 同时开始上升或下降, 粗细量化过程并行执行.

首先进行 M 位粗量化过程. 将阶梯斜坡信号 RAMP_C 输入比较器中与输入信号进行比较, 对输入信号 V_{IN} 进行粗量化. 经过粗量化之后, 由粗量化计数器产生高 M 位的数字码 A , 并将对应的模拟信号台阶值通过存储电容进行存储, 以便于进行细量化.

粗量化完成后得到的信号所处区间为

$$V_{\text{sig}_{A-2}} < V_{\text{IN}} < V_{\text{sig}_{A-1}} \quad (6)$$

其次同步进行 N 位的细量化过程. 将积分斜坡信号 RAMP_F 接入比较器中, 对输入信号 V_{IN} 进行细量化, 得到低 N 位的数字码 B . 最终输出的数字码为

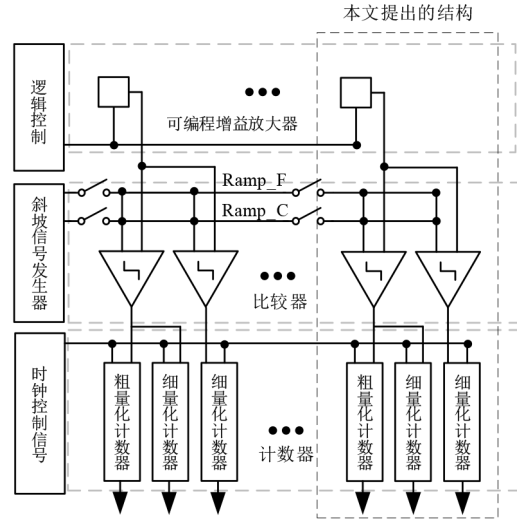


图 2 全并行 ADC 结构

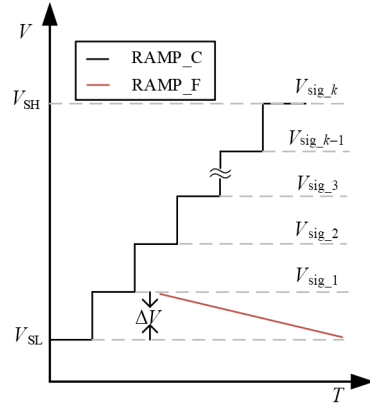


图 3 斜坡电压示意图

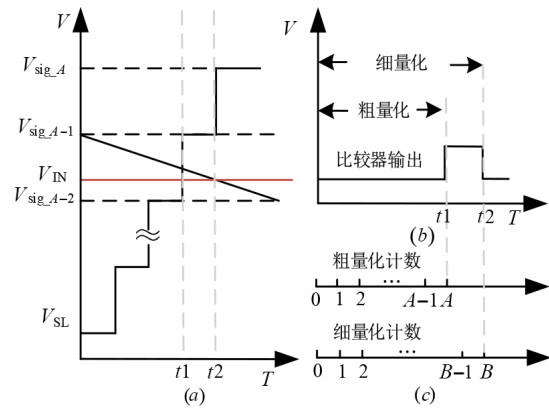


图 4 全并行两步式原理

$$D_{\text{out}} = A \times 2^N - B \quad (7)$$

该量化逻辑中, 粗细量化并行执行, 但由于比较器无法使输入信号同时与 RAMP_C 和 RAMP_F 进行比较, 这会对量化结果造成不利影响, 具体影响如图 5 所示. 由于 RAMP_C 和 RAMP_F 同时开始作用, 在细量化过程开始时, 接入比较器的 RAMP_F 起始电压为

$$V_{\text{RAMP_START}} = V_{\text{sig}_{A-1}} - B \times \text{LSB} \quad (8)$$

其中, B 为细量化计数器输出数字码. 如图 5(a) 所示, 当 $V_{\text{RAMP_F}} > V_{\text{IN}}$ 时, 比较器可以将输入信号与 RAMP_F 的比较结果有效输出. 如图 5(b) 所示, 当 $V_{\text{RAMP_F}} < V_{\text{IN}}$ 时, 在时间上细量化翻转点在粗量化翻转点之前, 在该状态下比较器被粗量化过程占用, 细量化信息无法通过比较器有效输出.

为了解决该问题, 本文巧妙地在系统中引入一路补偿斜坡, 补偿斜坡电压为

$$V_{\text{RAMP_F1}} = V_{\text{RAMP_F}} + \frac{1}{2} \Delta V \quad (9)$$

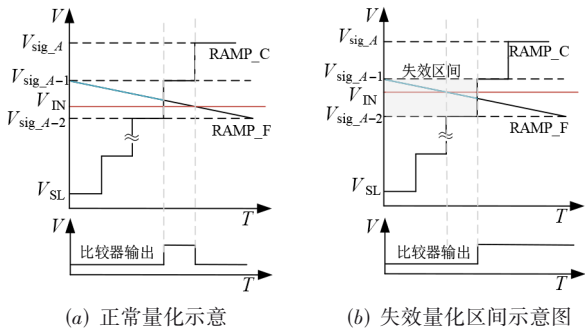


图 5 全并行量化影响分析

式(9)表明补偿斜坡与细量化斜坡斜率相同, 起始电压相差 $1/2\Delta V$, 其具体工作原理如图 6 所示. 当 $V_{\text{RAMP_F}} < V_{\text{IN}}$ 时, V_{IN} 可以被 $V_{\text{RAMP_F1}}$ 有效量化, 并将量化信息通过比较器进行输出. 需要说明的是, RAMP_F 和 RAMP_F1 斜率一致, 所以 RAMP_F1 无需通过斜坡发生器额外产生, 可以通过配置存储电容的初始电荷量产生, 实现低功耗的设计目标. 补偿斜坡的引入可以使整个量化区间的值都可以被有效量化. 最终数字码输出为

$$D_{\text{out1}} = A \times 2^N - B_1 \quad (10)$$

$$D_{\text{out2}} = A \times 2^N - B_2 \quad (11)$$

其中, D_{out1} 为原始量化过程输出; D_{out2} 为补偿量化输出. D_{out1} 优先级高于 D_{out2} . 当原始量化过程失效时, 才会读取补偿量化过程输出数字码.

基于上述对粗细量化并行设计方法的研究与分析, 本文提出的全并行两步式 ADC, 其时间消耗得到明显压缩, 具体转换时间如式(12)所示:

$$T = \text{MAX}[2^M t_{\text{clk}}, 2^N t_{\text{clk}}] \quad (12)$$

其中, T 代表单次量化时长; t_{clk} 为时钟周期. 传统两步式转换时间如式(13)所示:

$$T_1 = 2^M + 2^N \quad (13)$$

相比传统两步式量化转换方法, 本文提出的 ADC 量化方法时间提升效果如式(14)所示:

$$\eta = \frac{T_1 - T}{T_1} \quad (14)$$

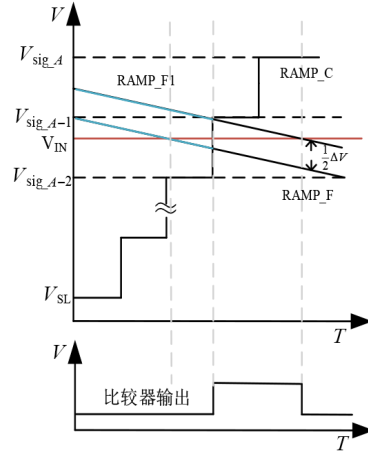


图 6 补偿斜坡工作原理图

与传统两步式量化方法相比, 本文提出的全并行两步式量化方法将转换时间缩短了 33%. 值得说明的是, 本文提出的量化方法不会受到工艺限制, 同时可以根据确定的量化精度需求计算得到最优化的时间消耗. 本文在保证粗细量化时钟频率相同, $V_{\text{RAMP_F}}$ 与 $V_{\text{RAMP_F1}}$ 相差 $1/2\Delta V$, 输入信号在第 K 个粗台阶电压范围内的前提下, 对 $n+m, n+m_1, n+m_2$ 这 3 种粗量化模式进行详细分析, 其中 n 为粗量化位数, $m \leq n, m_1 = n+1, m_2 \geq n+1$ 为细量化位数, 其工作示意图如图 7 所示, 其中蓝色部分为细量化有效量化范围, 其量化范围如式(15)~(17)所示:

$$V_{\text{RAMPF_REAL}} = 2^N \text{LSB} - 2^M \text{LSB} \quad (15)$$

$$V_{\text{RAMPF1_REAL}} = 2^N \text{LSB} - 2^M \text{LSB} + \frac{1}{2} \Delta V \quad (16)$$

$$V_{\text{REAL}} = V_{\text{RAMPF_REAL}} + V_{\text{RAMPF1_REAL}} \quad (17)$$

其中, $V_{\text{RAMPF_REAL}}$ 为 RAMP_F 的有效量化范围; $V_{\text{RAMPF1_REAL}}$ 为 RAMP_F1 的有效量化范围; V_{REAL} 为细量化有效量化范围.

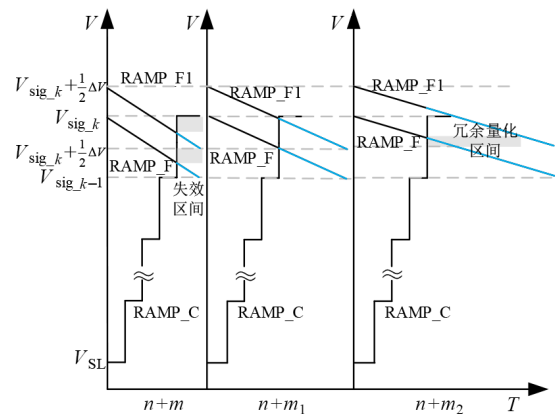


图 7 不同组合量化效果分析

在 $n+m$ 量化模式下, $V_{\text{REAL}} \leq 1/2\Delta V$, 这意味着在保证加速效果的前提下, ADC 量化范围内的部分电压值无法被有效量化.

在 $n+m_1$ 量化模式下, $V_{\text{REAL}} = \Delta V$, ADC 量化范围内任意电压值都可被有效量化, 且无冗余量化, 保证了加速效果.

在 $n+m_2$ 量化模式下, $V_{\text{REAL}} > \Delta V$, 这会导致在部分量化区间内 RAMP_F 与 RAMP_F1 同时工作, 造成时间冗余, 降低并行量化方法的时间压缩效果.

根据上述分析可得, $n+m_1$ 量化模式为最优量化模式. 此外, 在上述量化方法中, 补偿区间会受输入信号所处的粗量化台阶影响, 输入信号所处的粗量化台阶越靠近起始区间, 该粗量化台阶内补偿区间占比越小. 综上所述, 本文提出的全并行量化方法具有以下优势: (1) 基于时间共享与时间压缩思想, 将转换时间缩短了 33%; (2) 结构简单, 适用于亿级面阵规模 CIS 的列级读出电路; (3) 低功耗设计, 避免芯片温度上升引起的暗电流倍增效应.

4 本文提出的误差校正方法

在理想状态下, 上述量化方法可以实现对 ADC 量化范围内任意电压值的有效量化. 然而, 在实际情况中, 上下极板存在寄生电容, 以及采样开关存在非理想因素, 都会导致在粗细量化切换过程中, 采样电容上存储的电荷量发生偏移. 这种偏移会直接导致在量化范围内的部分电压值无法被有效量化, 直接影响 ADC 的性能, 具体影响如图 8 所示.

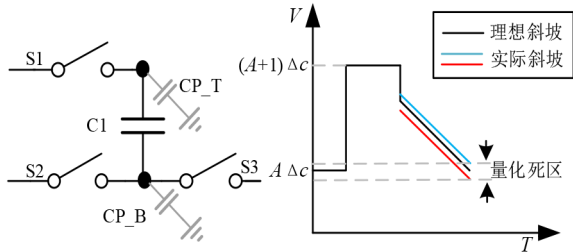


图 8 寄生电容对量化的影响

以 C_1 为例, 实际情况下, 在粗量化结束后, 开关 S_1 和 S_3 断开, 采样电容 C_1 实际存储电荷的偏移量为

$$\Delta Q_{C_1} = WLC_{\text{OX}}(V_{\text{DD}} - V_{\text{RAMP}_C} - V_{\text{TH}}) \times \frac{C_1}{C_{\text{P}_B} + C_1} \quad (18)$$

其中, C_{P_B} 为下极板寄生电容; W 和 L 分别为 MOS 管宽、长; V_{DD} 为开关管开启电压; V_{TH} 为阈值电压; V_{RAMP_C} 为粗斜坡电压. 在细量化开始时, 开关 S_2 打开, 此时采样电容 C_1 实际存储电荷的偏移量为

$$\Delta Q'_{C_1} = WLC_{\text{OX}}(V_{\text{DD}} - V_{\text{RAMP}_F} - V_{\text{TH}}) \times \frac{C_1}{C_{\text{P}_T} + C_1} \quad (19)$$

其中, C_{P_T} 为上极板寄生电容.

根据式 (18) 和式 (19) 可以看出, 电容上电荷偏移量与 RAMP_C 和 RAMP_F 有关. 由于 RAMP_F 的电压

范围较小, 所以 RAMP_C 是影响电荷偏移量的主要因素. 为了验证分析的合理性, 本文基于实际工艺对采样过程中的误差进行了实验验证, 如图 9 所示, 对于不同的输入信号, 粗细斜坡的切换点不同, 产生的斜坡误差也不同, 在 13 bit 精度下, 最大偏移为 16 个 LSB, 且该误差无法通过数字相关双采样和下极板采样等技术进行消除.

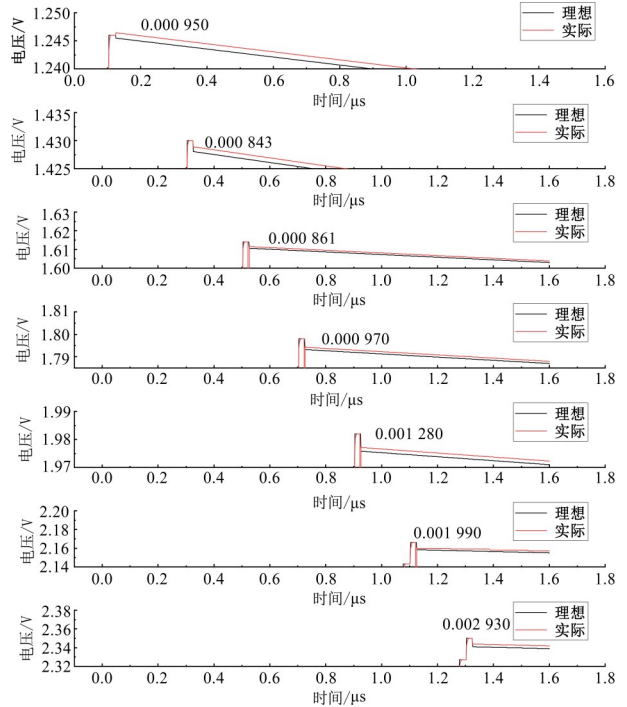


图 9 在不同 RAMP_C 下的电压偏移分析

值得说明的是, 该问题存在于所有的两步式 ADC 中. 根据上述分析, 该问题的关键在于在粗细斜坡转换过程中, 存储电容上存储的斜坡电压与输入信号电压之间的差值发生变化. 针对上述分析的限制两步式转换方法应用的难题, 本文提出如图 10 所示的校正方法, 从保证斜坡电压与输入信号电压相对差值的角度进行设计, 对输入信号同时进行采样, 使输入信号包含斜坡信号产生的误差. 为了保证斜坡误差与输入信号误差相同, 斜坡信号与输入信号的采样电路尺寸与工作时序完全一致, 此时斜坡信号与输入信号的相对电荷偏移量为

$$\Delta Q_C = WLC_{\text{OX}}(V_{\text{DD}} - V_{\text{RAMP}_C} + V_{\text{IN}} - V_{\text{TH}}) \times \frac{C_1}{C_{\text{P}_B} + C_1} \quad (20)$$

根据式 (20), 本文提出的校正方法将斜坡信号与输入信号的绝对电荷偏移量转化为相对电荷偏移量. 现假设 $V_{\text{RAMP}_C} = V_{\text{IN}}$, 对校正方法的校正结果进行分析, 式 (21) 体现了在理想情况下粗细斜坡切换后至量化结束的数字码变化值, 即

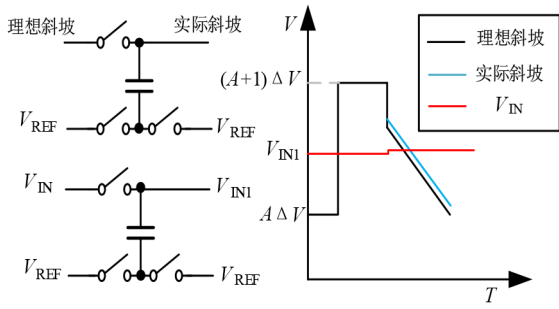


图10 校正方法分析

$$D = \frac{V_{\text{RAMP_START}} - V_{\text{IN}}}{\text{LSB}} \quad (21)$$

式(22)为考虑采样电路非理想因素后的数字码变化值,即

$$D_1 = \frac{V_{\text{RAMP_START}} + \frac{\Delta Q_{C_1} + \Delta Q'_{C_1}}{C_1} - V_{\text{IN}}}{\text{LSB}} \quad (22)$$

式(23)为采用校正方法后的数字码变化值,即

$$D_2 = \frac{\left(V_{\text{RAMP_START}} + \frac{\Delta Q_{C_1} + \Delta Q'_{C_1}}{C_1} \right)}{\text{LSB}} - \frac{\left(V_{\text{IN}} + \frac{\Delta Q_{C_1} + \Delta Q'_{C_1}}{C_1} \right)}{\text{LSB}} = D \quad (23)$$

根据式(20)~(23)可以得出,该误差校正方法保证了斜坡电压与输入信号电压的相对差值,降低了采样电路非理想因素影响,且粗斜坡电压与输入信号电压越接近校正效果越好,所以该校正方法的校正效果不会随ADC精度提高而衰减。综上所述,本文提出的校正方法具有以下优势:①结构简单,可集成到单列实现;②校正精度高,校正效果不会随ADC精度提高而衰减;③PVT下的误差自适应匹配性,提升了系统的鲁棒性。

5 13位模数转换器的详细设计

本文在一款基于55 nm-1P4M工艺的10 000×10 000规模CMOS图像传感器设计中,采用13 bit ADC,对全并行量化方法和两步式误差校正方法进行了详细电路设计与实验验证。该13 bit ADC将整个量化过程分为6 bit粗量化与7 bit细量化,其具体实现电路如图11所示。电路包括2路斜坡信号,即采样电路和校正电路;2个比较器,即计数器与逻辑控制模块。其中粗细斜坡信号被所有列共用。同时为了满足高速高增益低功耗的设计需求,本文采用了基于多电压域低功耗设计思想的四级比较器结构。

其具体工作时序如图12所示。开关S1,S2,S3由逻辑控制电路进行控制,比较器翻转后,由时钟沿控制读

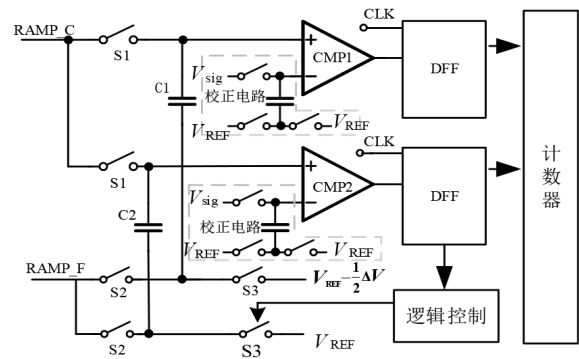


图11 具体电路设计

出,进而控制开关。在量化周期开始之前,开关S1和S3打开,在具体实现中采用了下极板采样技术以消除部分时钟馈通与开关电荷注入影响。开关打开后粗量化以及细量化的斜坡信号于同一时刻开始作用,粗斜坡信号在粗量化范围内以 ΔV 做步进,采样电容 C_1 和 C_2 上极板电压值跟随粗斜坡信号变化。当粗斜坡信号大于输入信号 V_{IN} 时,比较器CMP1和CMP2翻转,粗量化完成,S1和S3关断。此时采样电容 C_1 和 C_2 上极板电压值为

$$V_{\text{H}} = V_{\text{REF}} + A\Delta V \quad (24)$$

其中, V_{REF} 为粗斜坡信号的起始电压。此时电容 C_1 上存储的电荷量为

$$Q_{C_1} = (V_{\text{H}} - V_{\text{REF}}) \times C_1 \quad (25)$$

电容 C_2 上存储的电荷量为

$$Q_{C_2} = \left(V_{\text{H}} - V_{\text{REF}} + \frac{1}{2} \Delta V \right) \times C_2 \quad (26)$$

粗量化结束后,开关S2打开,RAMP_F接到采样电容 C_1 和 C_2 下极板,RAMP_F在 ΔV 的范围内,以LSB做步进。根据电荷守恒定律,采样电容 C_1 上极板电压为

$$V_{\text{HC}_1} = V_{\text{H}} - A \times \text{LSB} \quad (27)$$

采样电容 C_2 上极板电压为

$$V_{\text{HC}_2} = V_{\text{H}} - A \times \text{LSB} + \frac{1}{2} \Delta V \quad (28)$$

之后采样电容 C_1 和 C_2 上极板电压值跟随RAMP_F变化,对输入信号进行细量化。当比较器再次翻转后,整个量化周期完成。具体数字码输出如式(29)和式(30)所示:

$$D_{\text{out1}} = A \times 2^N - \left(A + \left\lfloor \frac{V_{\text{HC}_1} - V_{\text{sig}}}{\text{LSB}} \right\rfloor \right) \quad (29)$$

$$D_{\text{out2}} = A \times 2^N - \left(A + \left\lfloor \frac{V_{\text{HC}_2} - V_{\text{sig}}}{\text{LSB}} \right\rfloor \right) \quad (30)$$

量化结束后,对 D_{out1} 和 D_{out2} 进行权重判决。当CMP1有效翻转时,由数字模块选择 D_{out1} 输出,反之输出 D_{out2} 。其中补偿输出 D_{out2} 的有效区间,在整个量化区

间中占比为

$$\left(\frac{1}{128} + \frac{2}{128} + \dots + \frac{63}{128} + \frac{64}{128} \right) \times \frac{1}{64} = 25.39\% \quad (31)$$

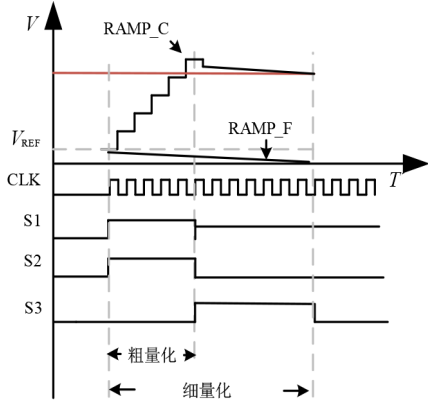


图 12 电路工作时序图

最终的数字码输出会包含比较器的失调误差,以及由系统的固定噪声产生的误差,但这类误差不属于随机误差.针对这些噪声的特性,本文提出的全并行 ADC 结构中采用了数字相关双采样技术.数字相关双采样技术的基本原理为:在行时间内,分别对图像信号和复位信号进行量化,将得到的数字码在数字域进行相减,固定误差在相减过程中被消除.所以通过数字相关双采样技术可以有效消除固定误差.

6 试验结果与数据分析

应用于超大面阵 CIS 的全并行两步式 ADC 列级电路基于 55 nm-1P4M 工艺完成了设计与验证,本次设计像素规模达到一亿量级(10 000×10 000),量化精度为 13 bit,模拟和数字电源分别为 3.3 V 和 1.2 V,时钟信号频率 250 MHz.本文针对全并行 ADC 完成了详细电路设计和后端版图物理实现.图 13 为亿级像素规模的 CIS 芯片整体版图布局.

图 14 为考虑像素规格尺寸的列级版图设计,实际列宽为 6.6 μm,同时考虑到大面阵情况下走线长度、模拟参考电压、斜坡信号,电源地走线均采用提升驱动能力与抗干扰措施.

图 15 为不同输入信号经过校正电路后的验证波形,左侧数字为实际输入信号,右侧数字为校正后的输入信号.与图 9 对比得出,在粗细斜坡转换后,输入信号与存储的斜坡信号同时上移,降低了斜坡电压与输入信号的相对偏移,将采样电路的非理想因素影响降低至 87 μV,具体计算方式如式(32)所示:

$$V_{\text{offset}} = (V_1 - V_2) - V_{\text{RAMPERROR}} \quad (32)$$

其中, V_{offset} 为采用校正方法后采样电路的非理想因素影响; V_1 为实际输入信号; V_2 为校正后输入信号; $V_{\text{RAMPERROR}}$

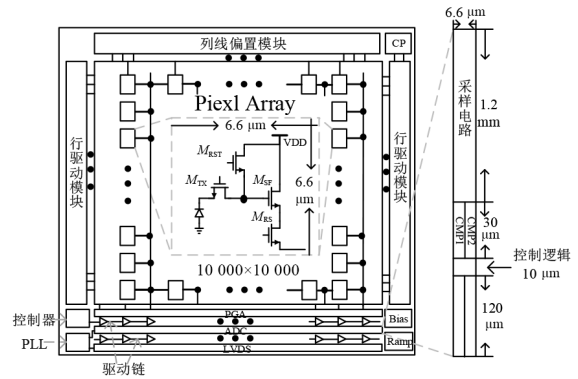


图 13 芯片整体布局

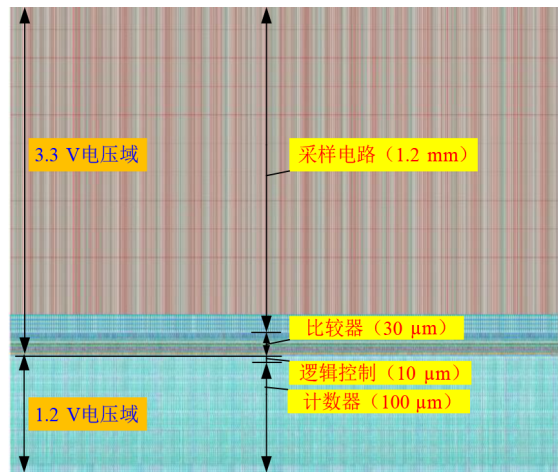


图 14 ADC 版图设计

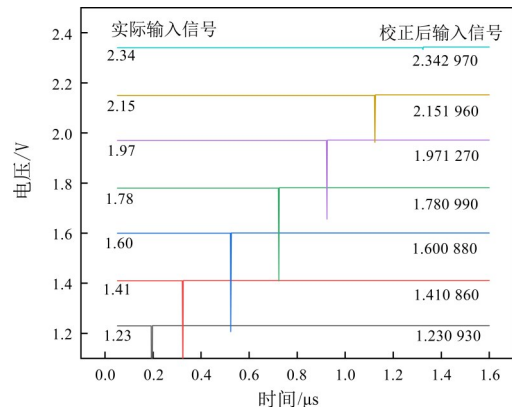
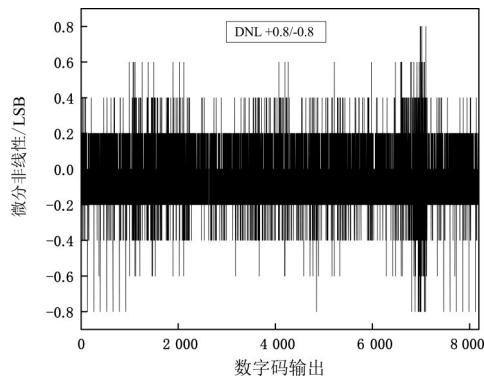


图 15 不同输入信号校正后仿真结果

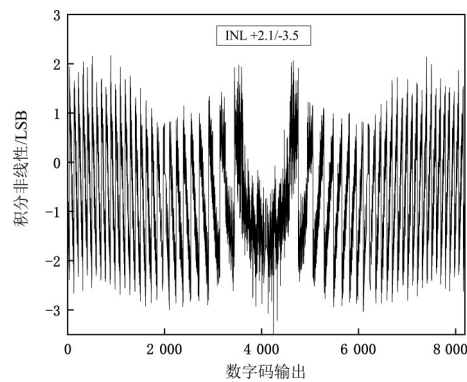
为斜坡误差.

图 16 为 ADC 静态参数测试结果,微分非线性(DNL)峰值误差为 +0.8/-0.8LSB,积分非线性(INL)峰值误差为 +2.1/-3.5LSB.在 13 bit 量化精度下,转换速度达到 512 ns 的情况下,相比于现有参考文献研究成果,表现出了明显的优势.

图 17 为 23 kHz 的采样频率下快速傅里叶变换(Fast Fourier Transform, FFT)分析结果.本文设计的全



(a) 微分非线性(DNL)测试结果



(b) 积分非线性(INL)测试结果

图 16 静态参数特性测试结果

并行两步式 ADC 信噪失真比(Signal-to-Noise and Distortion Ratio, SNDR)为 70 dB,有效位数(Effective Number Of Bits, ENOB)为 11.33 bit,动态范围为 1.472 V,列

级功耗为 $47 \mu\text{W}$ 。

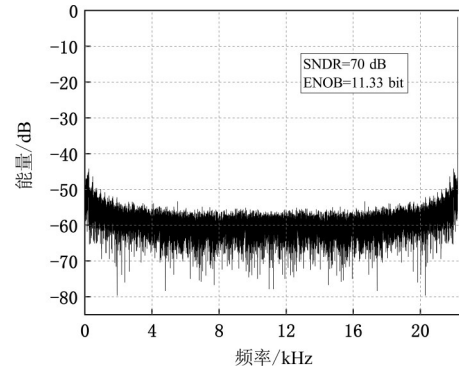


图 17 信噪比分析

表 1 为本文设计方法验证结果与文献[5,11~14]的对比.与文献[5]相比,在 12 bit 精度下,本文方法功耗减少了 73.4%,转换时间缩短了 74.4%.与文献[11]相比,在 12 bit 精度下,本文方法功耗减少了 34.7%,转换时间缩短了 97.4%.与文献[12]相比,在 12 bit 精度下,本文方法功耗增加了 20.5%,但转换时间缩短了 99.35%.与文献[13]相比,在 10 bit 精度下对比,本文方法功耗增加了 16%,转换时间缩短了 99.8%.与文献[14]相比,在 12 bit 精度下,本文方法功耗减少了 58.2%,转换时间缩短了 91.9%.可以看出本文设计的 ADC 与目前先进 ADC 相比,在保证结构简单、功耗低与线性度高的同时,使转换速率提高了 74.4% 以上.本文提出的 ADC 结构由于工艺和电路设计的先进性,其转换速度提升效果与理论分析基本一致.综上所述,本文提出的 ADC 设计方法适用于亿级面阵规模 CIS.

表 1 与其他先进 ADC 的对比

对比文献	文献[5]	文献[11]	文献[12]	文献[13]	文献[14]	本文
工艺/nm	130	130	90	110	-	55
结构	SS-TDC	TS-SS	TS-SS	SS	TS-SS	TS-SS
ADC精度/bit	12	12	12	10	12	13
量化范围/V		1.2	-	-	-	1.472
转换时间	1 μs	10 μs	39.68 μs *	34.2 μs	6.38 μs *	10 bit:0.064 μs 12 bit:0.256 μs 13 bit:0.512 μs
DNL/LSB	+1.1/-0.4	0.76/-0.8	+5.73/-7.3	+0.15/-0.2	+1.34/-0.49	+0.8/-0.8
INL/LSB	+5.8/-8.2	1.06/-0.84	+4.25/-1.00	+0.91/1.35	+2.44/-2.47	+2.1/-3.5
有效位数		11.25	-	8.8	-	11.33
功耗	177	72	39	56	112.5**	47

注:*=1/(帧频率×行数);**功耗=总功耗/列数

7 结论

本文针对当前制约亿级面阵 CMOS 图像传感器的读出速度瓶颈问题,提出了一种基于粗细量化全并行的处理方法和一种基于误差同步存储技术的误差校

正方法,并成功应用于一款亿级 CMOS 图像传感器的 13 bit 高速全并行两步式 ADC 设计中.该 ADC 基于全并行量化原理,实现了粗细量化并行执行,提高了转换速率,同时提出的误差校正方法解决了采样电路非理

想因素的影响. 本文在一款基于 55 nm-1P4M 工艺的 10 000×10 000 规模 CMOS 图像传感器进行了具体电路设计验证, 实验结果表明, 在该 ADC 转换时间达到 512 ns 的同时, 通过校正方法将微分非线性峰值误差控制在 $-0.8/0.8\text{LSB}$, 积分非线性峰值误差控制在 $+2.1/-3.5\text{LSB}$, 信噪失真比达到 70 dB, 有效位数为 11.33 bit. 对比已有的研究成果, 本文设计的 ADC 架构在保证结构简单、功耗低和线性度高的同时, 使转换速率提高了 74.4% 以上, 该设计方法为高速 CMOS 图像传感器设计提供了全新的解决方案, 可以广泛用于亿级面阵以上规模 CMOS 图像传感器的超高速读出电路中.

参考文献

- [1] ZHANG Q H, NING N, LI J, et al. A high area-efficiency 14-bit SAR ADC with hybrid capacitor DAC for array sensors[J]. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 2020, 67(12): 4396-4408.
- [2] KAUR A, MISHRA D, SARKAR M. A 12-bit, 2.5-bit/phase column-parallel cyclic ADC[J]. *IEEE Transactions on Very Large Scale Integration(VLSI) Systems*, 2019, 27(1): 248-252.
- [3] KIM J B, HONG S K, KWON O K. A low-power CMOS image sensor with area-efficient 14-bit two-step SA ADCs using pseudomultiple sampling method[J]. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 2015, 62(5): 451-455.
- [4] SEO M W, SUH S H, IIDA T, et al. A low-noise high intrascene dynamic range CMOS image sensor with a 13 to 19b variable-resolution column-parallel folding-integration/cyclic ADC[J]. *IEEE Journal of Solid-State Circuits*, 2012, 47(1): 272-283.
- [5] DEYAN L, MARTIN W, BHASKAR C. A 1- μs ramp time 12-bit column-parallel flash TDC-interpolated single-slope ADC with digital delay-element calibration[J]. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 2018, 66(1): 54-67.
- [6] SHINOZUKA Y, SHIRAISHI K, FURUTA M, et al. A single-slope based low-noise ADC with input-signal-dependent multiple sampling scheme for CMOS image sensors[C]//2015 IEEE International Symposium on Circuits and Systems. Lisbon: IEEE, 2015: 357-360.
- [7] BAE J, KIM D, HAM S, et al. A two-step A/D conversion and column self-calibration technique for low noise CMOS image sensors[J]. *Sensors*, 2014, 14(7): 11825-11843.
- [8] LYU T, YAO S Y, NIE K M, et al. A 12-bit high-speed column-parallel two-step single-slope analog-to-digital converter (ADC) for CMOS image sensors[J]. *Sensors(Basel, Switzerland)*, 2014, 14(11): 21603-21625.
- [9] LEE J N, PARK H, SONG B, et al. High frame-rate VGA CMOS image sensor using non-memory capacitor two-step single-slope ADCs[J]. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 2015, 62(9): 2147-2155.
- [10] WEI J W, LI X A, SUN L, et al. A low-power column-parallel gain-adaptive single-slope ADC for CMOS image sensors[J]. *Electronics*, 2020, 9(5): 757.
- [11] ZHANG Q H, NING N, LI J, et al. A 12-bit column-parallel two-step single-slope ADC with a foreground calibration for CMOS image sensors[J]. *IEEE Access*, 2020, 8: 172467-172480.
- [12] PARK H, YU C Z, KIM H, et al. Low power CMOS image sensors using two step single slope ADC with bandwidth-limited comparators & voltage range extended ramp generator for battery-limited application[J]. *IEEE Sensors Journal*, 2020, 20(6): 2831-2838.
- [13] NIE K M, ZHA W B, SHI X L, et al. A single slope ADC with row-wise noise reduction technique for CMOS image sensor[J]. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 2020, 67(9): 2873-2882.
- [14] LEE J N, LEE J, BURM J. A CMOS image sensor with non-memory capacitor two-step single slope ADC for high frame rate[C]//2015 International SoC Design Conference (ISOCC). Piscataway: IEEE, 2016: 333-334.
- [15] CHENG X, ZENG X Y, FENG Q. Analysis and improvement of ramp gain error in single-ramp single-slope ADCs for CMOS image sensors[J]. *Microelectronics Journal*, 2016, 58: 23-31.
- [16] 唐枋, 唐建国. 用于 CMOS 图像传感器的 12 位低功耗单斜坡模数转换器设计[J]. *电子学报*, 2013, 41(2): 352-356. TANG F, TANG J G. 12Bit low power single slope ADC design for CMOS image sensor[J]. *Acta Electronica Sinica*, 2013, 41(2): 352-356. (in Chinese)
- [17] HUANG W J, ZHANG Q H, LI J, et al. A calibration technique for two-step single-slope analog-to-digital converter[C]//2019 IEEE 13th International Conference on ASIC (ASICON). Chongqing: IEEE, 2019: 1-4.

作者简介



郭仲杰 男, 1982 年出生, 陕西韩城人. 教授. 主要研究方向为超大规模数模混合集成电路的设计.

E-mail: zjguo@xaut.edu.cn



许睿明 男, 1997 年出生, 内蒙古人. 西安理工大学自动化与信息工程学院硕士研究生. 主要研究方向为超大规模集成电路设计.

E-mail: 1170253565@qq.com